

System SLIO CPU-Varianten 014-CEF0x31



- Die System SLIO CPU-Varianten 014-CEF0x31 sind baugleich mit der Basis-CPU 014-CEF0R01.
- Sie unterscheiden sich ausschließlich in der Freischaltung unten erwähnter Features, alle anderen Daten entsprechen denen der Basis-CPU 014-CEF0R01.
- Informationen zu Aufbau und Projektierung finden Sie im Handbuch der Basis-CPU 014-CEF0R01.
<http://www.vipa.com/de/service-support/handbuch/slio/>

Features

| CPUs | Arbeitsspeicher | | PROFIBUS | |
|----------------------|-----------------|----------|----------|-----------|
| | 128kByte | 256kByte | DP-Slave | DP-Master |
| Basis-CPU | | | | |
| 014-CEF0R01 | X | optional | optional | optional |
| | | | | |
| CPU-Varianten | | | | |
| 014-CEF0R31 | - | X | - | - |
| 014-CEF0S31 | - | X | X | - |
| 014-CEF0M31 | - | X | X | X |

Leistungsmerkmale

Basis-CPU 014-CEF0R01
HW: 01 | CPU-FW: V2.6.1

- SPEED7-Technologie integriert
- Programmierbar über VIPA SPEED7 Studio, Siemens SIMATIC Manager oder Siemens TIA Portal
- 128kByte Arbeitsspeicher integriert (optional erweiterbar bis max. 256kByte mittels VSC)
- 256kByte Ladespeicher integriert
- Steckplatz für externe Speichermedien (verriegelbar)
- Status-LEDs für Betriebszustand und Diagnose
- X1/X4: Ethernet-PG/OP-Kanal für aktive und passive Kommunikation integriert
- X2: PtP(MPI)-Schnittstelle: Serielle integrierte Schnittstelle für PtP-Kommunikation mit den Protokollen: ASCII, STX/ETX , USS, 3964(R), MODBUS RTU, Master/Slave umschaltbar für MPI-Kommunikation
- X3: MPI(PB)-Schnittstelle: MPI-Schnittstelle (optional freischaltbare PROFIBUS-DP-Master/Slave-Funktionalität mittels VSC)
- PROFINET-IO-Controller und I-Device über Ethernet-PG/OP-Kanal
- WebVisu-Projekt über Ethernet-PG/OP-Kanal
- Bis zu 64 SLIO Module ankoppelbar
- E/A-Adressbereich digital/analog 2048Byte
- 512 Timer/Zähler, 8192 Merker-Byte